

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2001-345024

(43)Date of publication of application : 14.12.2001

(51)Int.Cl.

H01B 13/00
G02F 1/1343
G09F 9/00
G09F 9/30

(21)Application number : 2001-012526

(71)Applicant : SHARP CORP

(22)Date of filing : 19.01.2001

(72)Inventor : FUJIKAWA TAKASHI
OGURA MASAFUMI
KATAOKA YOSHIHARU

(30)Priority

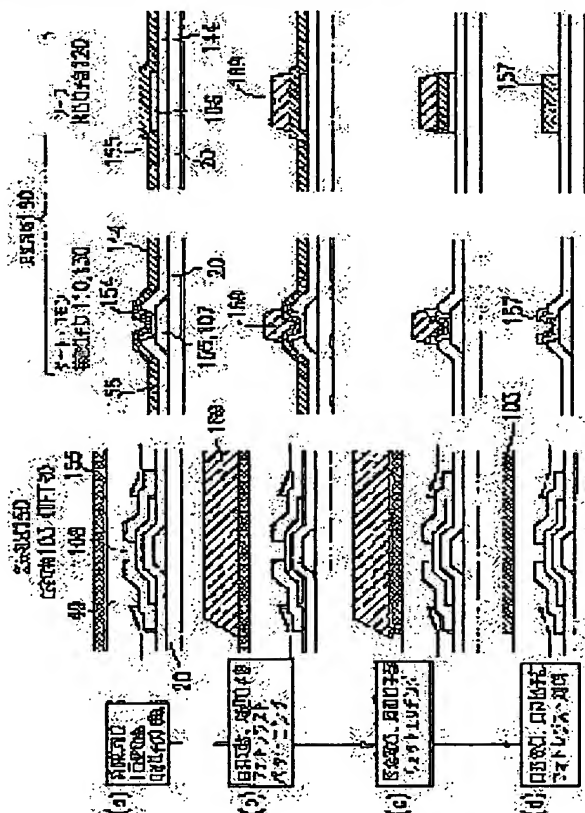
Priority number : 2000099933	Priority date : 31.03.2000	Priority country : JP
2000099934	31.03.2000	JP
2000099935	31.03.2000	JP

(54) ELECTRODE SUBSTRATE AND PREPARATION METHOD OF ELECTRODE SUBSTRATE

(57)Abstract:

PROBLEM TO BE SOLVED: To perform an etching of a transparent electro-conductive film formed on an organic insulating film and a transparent electro-conductive film formed on an inorganic insulating film at the same time with a good precision.

SOLUTION: In the electrode substrate having an organic insulating film region composed of organic insulating film 49 and the inorganic insulating film region composed of inorganic insulating film 144 at the same face side, the preparation method of this electrode substrate comprises a process in which a transparent conductive film is formed adjacent to the organic insulating film region and the inorganic insulating film region and in which the crystal particle size of the transparent conductive film adjacent to the organic insulating film region is made not less than 20 nm and not more than 50 nm, and a process to perform the etching of the transparent electro-conductive film adjacent to the organic insulating film region and the inorganic insulating film region at the same time.



LEGAL STATUS

[Date of request for examination]

07.02.2003

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

*** NOTICES ***

JPO and NCIP are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

CLAIMS

[Claim(s)]

[Claim 1] In this electrode substrate that has the inorganic insulator layer field which consists of an organic-compound-insulator field which is the production approach of an electrode substrate and is from an organic compound insulator on the same field side, and an inorganic insulator layer The process which sets to 20nm or more 50nm or less the diameter of crystal grain of this transparence electric conduction film that forms the transparence electric conduction film in contact with this organic-compound-insulator field and this inorganic insulator layer field, and touches this organic-compound-insulator field, The production approach of the electrode substrate which includes the process which etches simultaneously this transparence electric conduction film that touches this organic-compound-insulator field and this inorganic insulator layer field.

[Claim 2] The production approach of an electrode substrate according to claim 1 that the diameter of crystal grain of said transparence electric conduction film which touches said organic-compound-insulator field is 20nm or more 40nm or less.

[Claim 3] The production approach of an electrode substrate according to claim 1 of performing plasma treatment to said organic compound insulator before forming said transparence electric conduction film which touches said organic compound insulator.

[Claim 4] The organic-compound-insulator field which consists of an organic compound insulator, and the inorganic insulator layer field which consists of an inorganic insulator layer prepared in the same field side as this organic-compound-insulator field, The magnitude of the diameter of crystal grain of the transparence electric conduction film which is an electrode substrate equipped with the transparence electric conduction film prepared so that this organic-compound-insulator field and this inorganic insulator layer field might be touched, respectively, and touches this organic-compound-insulator field The electrode substrate set up so that the etching rate of the transparence electric conduction film which touches the etching rate and this inorganic insulator layer of the transparence electric conduction film which touches this organic-compound-insulator field may become almost comparable.

[Claim 5] The diameter of crystal grain of the transparence electric conduction film which touches said organic-compound-insulator field is a 20nm or more electrode substrate according to claim 4 which is 50nm or less.

[Claim 6] The diameter of crystal grain of the transparence electric conduction film which touches said organic-compound-insulator field is a 20nm or more electrode substrate according to claim 5 which is 40nm or less.

[Translation done.]

*** NOTICES ***

JPO and NCIP are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.

2. **** shows the word which can not be translated.

3. In the drawings, any words are not translated.

DETAILED DESCRIPTION

[Detailed Description of the Invention]

[0001]

[Field of the Invention] This invention relates to the production approach of an electrode substrate and an electrode substrate. It is related with the production approach of the electrode substrate with which the transparence electric conduction film which touches both organic-compound-insulator fields which consist of the inorganic insulator layer field and organic compound insulator which consist of an inorganic insulator layer in more detail is formed, and an electrode substrate.

[0002]

[Description of the Prior Art] The transparence electric conduction film containing ITO (indium stannic-acid ghost) is available as an electrode which is made to penetrate light and controls light. As for the electrode substrate which used the transparence electric conduction film which has such a property, utilization to the application of not only indicating equipments, such as an electroluminescence indicating equipment, but a touch panel, a solar battery, etc. is advanced.

[0003] A liquid crystal display is mentioned as a display which used the electrode substrate in which the transparence electric conduction film was formed on both the organic compound insulator and the inorganic insulator layer. Research is briskly done as one of the flat-panel displays replaced with CRT, and the liquid crystal display is already put in practical use as a display of micro television of cell actuation, or the personal computer of a notebook mold taking advantage of the description that especially power consumption is small and a thin shape. Here, a liquid crystal display is explained as an example as a display which used the electrode substrate in which the transparence electric conduction film was formed on both the organic compound insulator and the inorganic insulator layer.

[0004] Drawing 1 shows the fundamental configuration of a liquid crystal display 100 typically. A liquid crystal display 100 is the active-matrix mold TFT array type which used the thin film transistor (it is described as Following TFT) for the switching element, and this [its] is advantageous when high display quality is desired.

[0005] To be shown in drawing 1, as for the liquid crystal display 100, the liquid crystal layer (not shown) is prepared between the upside substrate 102 and the bottom substrate (electrode substrate) 101, and a liquid crystal layer is controlled by the upside electrode 104 on the upside substrate 102, and two or more pixel electrodes 103 on the bottom substrate 101. In the bottom substrate 101, each of two or more pixel electrodes 103 is connected to source wiring 105 through a switching element (TFT) 108, and the gate of TFT108 is connected to the gate wiring 106, respectively.

[0006] Drawing 2 shows the plan of the bottom substrate 101 (electrode substrate) of a liquid crystal display. Here, the liquid crystal display of a transparency mold active matrix is assumed as a liquid crystal display. However, a liquid crystal display is not limited to a transparency mold, but can consider the transparency field of the mold liquid crystal display both for transparency/reflective the same way.

[0007] The electrode substrate 101 points out the whole component formed the insulating substrate 20 and on it. The electrode substrate 101 is divided into two fields, a viewing area 150 and a boundary region 160. In drawing 2, a slash shows a viewing area 150. In a viewing area 150, two or more TFT108 which controls two or more pixel electrode 103 and two or more pixel electrodes 103 of each is

prepared. The pixel electrode 103 is formed with the transference electric conduction film. When using the electrode substrate 101 for a transparency mold liquid crystal display, transparency and control of light are performed by forming some insulating substrates [at least] 20 by the transparent material, and forming an electrode with the transference electric conduction film, in order to display using the light (generally light source) from the opposite hand by the side of a display.

[0008] On the other hand, two or more gate connection terminal areas 110, two or more source connection terminal areas 120, and two or more common connection terminal areas 130 are formed in a boundary region 160. The gate wiring 105 corresponding to each gate connection terminal area 110, the source connection terminal area 120, and the common connection terminal area 130, source wiring 106, and the common wiring 107 are formed ranging from the boundary region 160 to a viewing area 150, respectively. In this description, the gate connection terminal area 110, the source connection terminal area 120, and the common connection terminal area 130 are named generically, and a circumference terminal area is named.

[0009] Drawing 3 shows the plan which expanded the viewing area 150 of the electrode substrate 101. In drawing 3, the field surrounded with a broken line is equivalent to one pixel electrode 103. Each gate wiring 105 and each common wiring 107 are formed in parallel, respectively, and two or more source wiring 106 is formed, respectively so that it may intersect perpendicularly with each gate wiring 105 and each common wiring 107, respectively. As shown in drawing 3, by each intersection of each gate wiring 105 and each source wiring 106, each gate wiring 105 and source wiring 106 have branched so that it may connect with the gate electrode of TFT108 or source electrode which is a switching element at least. The connection electrode 48 connected to the drain electrode of TFT108 is formed so that a part may lap with the common wiring 107, and a contact hole 50 is further established in a part of field with which the connection electrode 48 and the common wiring 107 lap.

[0010] Drawing 4 shows the sectional view of the viewing area 150 of the electrode substrate 101 which met the A-A' line of drawing 3. In drawing 4, TFT108 is shown in left-hand side (A side), and a contact hole 50 is shown in right-hand side (A' side). Here, TFT section and A' side is called the contact hole section for the A side of drawing 4.

[0011] In the TFT section, a part for the tee of the gate wiring 105 is formed on the insulating substrate 20, and it is prepared so that gate dielectric film 44 may cover them. Silicon nitride (SiN_x) may be used as gate dielectric film 44. The amorphous semiconductor layer 45 is formed on gate dielectric film 44, and drain electrode 46b is formed in the left-hand side upper part of the amorphous semiconductor layer 45 in the right-hand side upper part of source electrode 46a and the amorphous semiconductor layer 45. Source electrode 46a is connected with source wiring 106, and drain electrode 46b is connected with the connection electrode 48. Thus, formed TFT108 is covered by the organic compound insulator 49 which consists of a transparent material, and the organic compound insulator 49 by which flattening was carried out is covered with the pixel electrode 103 which consists of transference electric conduction film.

[0012] In the contact section, the common wiring 107 is formed on the insulating substrate 20, and it is prepared so that gate dielectric film 44 may cover them. Gate dielectric film 44 is covered with the connection electrode 48. In the contact hole section, an organic compound insulator 49 is formed on the connection electrode 48, and the organic compound insulator 49 is covered with the pixel electrode 103. However, the contact hole 50 which the connection electrode 48 and the pixel electrode 103 connect directly is formed.

[0013] By forming, as the viewing area 150 of the electrode substrate 101 was mentioned above, a high numerical aperture is mainly obtained with two advantages. Since the pixel electrode 103 is formed on the organic compound insulator 49 to which flattening of the front face was carried out, the 1st reason is because the poor display (domain phenomenon) by the orientation turbulence of the liquid crystal molecule in the liquid crystal layer produced by the level difference part of the pixel electrode 103 (not shown) can be lost and the display effective area in a liquid crystal layer can be increased. The 2nd

reason is for not producing the electric short circuit between gate wiring 105 and the source wiring 106 in the substrate side of an organic compound insulator 103, and the pixel electrode 103 in a top-face side (display side) by forming the 0.3 to 2 micrometers organic compound insulator 49 with comparatively thick thickness, and forming the pixel electrode 103 on it. Therefore, when it sees from the side which views a display, it becomes possible to form the pixel electrode 103 in a large area which is made to overlap wiring of gate wiring 105, source wiring 106, etc.

[0014] On the other hand, in a circumference terminal area, since the dependability at the time of the rework which produces a faulty connection with a mounting member etc. is missing, generally the transference electric conduction film is formed on the inorganic insulator layer used as an electrode. It prevents the electrode of a circumference terminal area oxidizing, consequently an electrode forming formation of the transference electric conduction film into high resistance. Although forming the electrode material of a circumference terminal area on an organic compound insulator is also considered, it is not desirable from a viewpoint of dependability to form the transference electric conduction film on an organic compound insulator.

[0015] Generally etching after membrane formation of the transference electric conduction film performs wet etching. It is because an organic compound insulator will deteriorate and insulation will stiffen, if dry etching is performed. Moreover, when applying an electrode substrate to a liquid crystal display, it originates in dry etching, a liquid crystal layer is polluted, and degradation of display grace may be caused. Therefore, in this description, unless reference is made especially, "etching" means wet etching.

[0016]

[Means for Solving the Problem] Although it is thought that it can etch simultaneously when etching the transference electric conduction film formed on both the organic compound insulator and the inorganic insulator layer, as mentioned above, both etching shifts differ actually. In this description, an etching shift means the die length of the film removed by etching. Moreover, the etching shift per unit time amount is specified as a "etching rate." When designing substantially the transference electric conduction film on an organic compound insulator, and the transference electric conduction film on an inorganic insulator layer in the same size, and performing same etching, and etching shifts differ, a gap arises in the magnitude of both transference electric conduction film. That is, etching rates differ. Therefore, when the transference electric conduction film is etched, as shown in drawing 5 R> 5, a difference will arise between the design dimension of one transference electric conduction film, and a finished size. Therefore, the transference electric conduction film on an organic compound insulator and the transference electric conduction film on an inorganic insulator layer cannot be etched simultaneously.

[0017] Here, with reference to drawing 6 , the production approach of the electrode substrate of the liquid crystal display shown in drawing 2 is explained. Drawing 6 shows how to form the pixel electrode 103 of the TFT section, gate connection terminal area 110 and a common connection terminal area 130, and the source connection terminal area 120 (to refer to drawing 2) by process (a) – (g). By drawing 6 , although the formation process of the pixel electrode 103 of the TFT section is shown, especially the formation process of the pixel electrode 103 is not limited to the TFT section, and it is thought that the pixel electrode 103 in a viewing area 150 is formed similarly.

[0018] In a process (a), the transference electric conduction film 155 (for example, ITO) is simultaneously formed to the TFT section and the circumference terminal area of a boundary region 160 (refer to drawing 2).

[0019] The transference electric conduction film 155 used as the pixel electrode 103 of the TFT section is formed on the organic compound insulator 49 formed evenly.

[0020] At the gate common connection terminal areas 110 and 130, the gate wiring 105 or the common wiring 107 is formed on the insulating substrate 20, and where the center section after the gate wiring 105 or the common wiring 107 is removed, the inorganic insulator layer 144 is formed. As for the center

section after the gate wiring 105 or the common wiring 107, the electrode 154 is formed. The transference electric conduction film 155 used as the transparent electrode 157 which has the stable connection resistance on an electrode 154 is formed.

[0021] In the source connection terminal area 120, the inorganic insulator layer 144 is formed so that the insulating substrate 20 may be covered, source wiring 106 is formed on the inorganic insulator layer 144, and the transference electric conduction film 155 used as a transparent electrode 157 is formed so that they may be covered.

[0022] Photoresist patterning of a circumference terminal area is performed in a process (b). In a circumference terminal area, the 1st resist 165 is formed on the part (namely, part which forms a transparent electrode 157) which leaves the transference electric conduction film 155. the 1st resist 165 — for example, Tokyo — the positive resist of the novolak resin made from adaptation is used. The 1st resist 165 is formed all over the transference electric conduction film 155 top of the TFT section in the case of a process (b).

[0023] In a process (c), wet etching is performed and the unnecessary transference electric conduction film 155 of a circumference terminal area is removed.

[0024] The 1st resist 165 is exfoliated in a process (d). While the transparent electrode 157 which consists of transference electric conduction film 155 in a circumference terminal area is formed at this time, the transference electric conduction film 155 of the TFT section is formed in the whole surface.

[0025] Photoresist patterning of the pixel electrode 103 is performed in a process (e). The 2nd resist 167 is formed on the part (namely, part used as the pixel electrode 103) which leaves the transference electric conduction film 155. the 2nd resist 167 — for example, Tokyo — the positive resist of the novolak resin made from adaptation is used. The 2nd resist 167 is formed all over a circumference terminal area in the case of a process (e).

[0026] In a process (f), wet etching is performed and the unnecessary transference electric conduction film 155 of the TFT section is removed.

[0027] In a process (g), the pixel electrode 103 is formed by exfoliating the 2nd resist 167.

[0028] Thus, although the electrode substrate 101 is formed, since etching rates differ, respectively, it is necessary to perform independently etching ((c) of drawing 6) of the transference electric conduction film 155 on the inorganic insulator layer 144, and etching ((f) of drawing 6) of the transference electric conduction film 155 on an organic compound insulator 49, as mentioned above.

[0029] This invention is made in view of such the actual condition, and the object is offering the production approach of the electrode substrate which can etch simultaneously the transference electric conduction film formed on the organic compound insulator, and the transference electric conduction film formed on an inorganic insulator layer with a sufficient precision, and an electrode substrate.

[0030]

[Means for Solving the Problem] In this electrode substrate that has the inorganic insulator layer field which consists of an organic-compound-insulator field where the production approach of the electrode substrate of this invention is from an organic compound insulator on the same side side, and an inorganic insulator layer The process which sets to 20nm or more 50nm or less the diameter of crystal grain of this transference electric conduction film that forms the transference electric conduction film in contact with this organic-compound-insulator field and this inorganic insulator layer field, and touches this organic-compound-insulator field, The process which etches simultaneously this transference electric conduction film that touches this organic-compound-insulator field and this inorganic insulator layer field is included.

[0031] The diameter of crystal grain of said transference electric conduction film which touches said organic-compound-insulator field may be 20nm or more 40nm or less.

[0032] Before forming said transference electric conduction film which touches said organic compound insulator, plasma treatment may be performed to said organic compound insulator.

[0033] The inorganic insulator layer field which consists of an inorganic insulator layer prepared in the

field side as the organic-compound-insulator field which consists of an organic compound insulator, and this organic-compound-insulator field where the electrode substrate of this invention is the same. The magnitude of the diameter of crystal grain of the transparence electric conduction film which is an electrode substrate equipped with the transparence electric conduction film prepared so that this organic-compound-insulator field and this inorganic insulator layer field might be touched, respectively, and touches this organic-compound-insulator field. It is set up so that the etching rate of the transparence electric conduction film which touches the etching rate and this inorganic insulator layer of the transparence electric conduction film which touches this organic-compound-insulator field may become almost comparable.

[0034] The diameter of crystal grain of the transparence electric conduction film which touches said organic-compound-insulator field may be 20nm or more 50nm or less.

[0035] The diameter of crystal grain of the transparence electric conduction film which touches said organic-compound-insulator field may be 20nm or more 40nm or less.

[0036]

[Embodiment of the Invention] Invention-in-this-application persons found out that what is necessary was just to control the diameter of crystal grain of the transparence electric conduction film, in order to solve the above-mentioned technical problem (i.e., in order to make comparable the etching rate of the transparence electric conduction film which touches the inorganic insulator layer field which consists of an inorganic insulator layer, and the transparence electric conduction film which touches the organic-compound-insulator field which consists of an organic compound insulator).

[0037] In addition, an organic-compound-insulator field here shows the field in which the inorganic insulator layer is not formed as the layer which touches the transparence electric conduction film, or film in the field in which the organic compound insulator 49 shown in drawing 10 and the organic compound insulator 1449 shown in drawing 11 were formed, or the plastic plate 1420 shown in drawing 12. Moreover, an inorganic insulator layer field shows the field in which the inorganic insulator layer 1444 shown in the inorganic insulator layer 144, drawing 11, or drawing 12 shown in drawing 10 as the layer which touches the transparence electric conduction film, or film was formed.

[0038] Drawing 7 is a graph which shows the relation of the time amount (minute) and the etching shift (micrometer) which carry out wet etching of the transparence electric conduction film. In the graph of drawing 7, - shows a result in case the diameter of crystal grain of the transparence electric conduction film on an organic compound insulator is about 40nm, and a thick wire shows the linear interpolation. Moreover, ** shows the result of the transparence electric conduction film on an inorganic insulator layer, and a thin line shows the linear interpolation. Here, SiNx was used as ITO and an inorganic insulator layer as acrylic resin and transparence electric conduction film as an organic compound insulator. As shown in the graph of drawing 7, when etching time is 3 – 5 minutes, the etching shift of the transparence electric conduction film on an organic compound insulator is smaller than 1.5 micrometers, and the etching shift of the transparence electric conduction film on an inorganic insulator layer is smaller than 1.0 micrometers. Therefore, since the difference of the etching shift of the transparence electric conduction film on an organic compound insulator and an etching shift of the transparence electric conduction film on an inorganic insulator layer is comparatively small, it is possible to etch simultaneously the transparence electric conduction film on an organic compound insulator and the transparence electric conduction film on an inorganic insulator layer by predetermined etching time.

[0039] In the graph of drawing 7, although the diameter of crystal grain of the transparence electric conduction film on an organic compound insulator showed the case of about 40nm, if 20nm or more range of the diameter of crystal grain of the transparence electric conduction film on an organic compound insulator is 50nm or less, similarly, the difference [film / on an inorganic insulator layer / the transparence electric conduction film on an organic compound insulator and / transparence electric conduction] of an etching shift is small, and can etch both simultaneously.

[0040] The graph which shows the relation of the time amount (minute) and the etching shift

(micrometer) which carry out wet etching of the transparence electric conduction film in case the diameter of crystal grain of the transparence electric conduction film on an organic compound insulator is about 100nm for a comparison is shown in drawing 8 . As shown in drawing 8 , when etching time is 3 minutes – 5 minutes, the etching shift of the transparence electric conduction film on an organic compound insulator is 2.0 micrometers or more, and that of the crystal of the transparence electric conduction film on an inorganic insulator layer is large compared with the etching shift of the transparence electric conduction film on an inorganic insulator layer, and the difference is also large. Therefore, it is difficult to etch both simultaneously.

[0041] In addition, the graph shown in drawing 7 and drawing 8 shows the result of having gone similarly the processing for adjusting the diameter of crystal grain of the transparence electric conduction film of the organic-compound-insulator field in which an organic compound insulator is formed to the inorganic insulator layer field in which an inorganic insulator layer is formed. Even if the etching shift of the transparence electric conduction film on an inorganic insulator layer performs processing for controlling the diameter of crystal grain of the transparence electric conduction film on an organic compound insulator, it is almost fixed so that I may be understood from the comparison of the graph of drawing 7 and drawing 8 . Generally the diameter of crystal grain of the transparence electric conduction film on an inorganic insulator layer is mostly determined by the membrane formation conditions of the transparence electric conduction film.

[0042] The diameter of crystal grain of the transparence electric conduction film on an organic compound insulator may be controlled by performing plasma treatment, before forming the transparence electric conduction film for example, on an organic compound insulator. If oxygen plasma treatment or CF₄ plasma treatment is performed for a long time before forming the transparence electric conduction film on an organic compound insulator, since an organic-compound-insulator front face will be ruined, there is an inclination for the diameter of crystal grain of the transparence electric conduction film formed on it to become large. Moreover, since the surface roughness of an organic compound insulator will be eased if Ar plasma treatment is performed before membrane formation of the transparence electric conduction film, there is an inclination for the diameter of crystal grain of the transparence electric conduction film formed on it to become small.

[0043] Drawing 9 is a graph which shows the relation between the wet etching time amount of the transparence electric conduction film on an organic compound insulator, and an etching shift. ITO was used as acrylic resin and transparence electric conduction film as an organic compound insulator, and wet etching time amount was made into 3.0 minutes. If the diameter of crystal grain of the transparence electric conduction film on an organic compound insulator is 20nm or more 50nm or less as shown in drawing 9 , an etching shift is 1.0 micrometers or less, and since the difference with the etching shift (refer to about 0.2 micrometers and drawing 7) of the transparence electric conduction film on an inorganic insulator layer is small, it can perform simultaneous etching in predetermined etching time. If the diameter of crystal grain of the transparence electric conduction film on an organic compound insulator is 20nm or more 40nm or less, since the etching shift is still smaller, the controllability of the transparence electric conduction film on an organic compound insulator will improve. Moreover, since an etching shift increases greatly as artificers are shown in drawing 8 , when the diameter of crystal grain of the transparence electric conduction film front face on an organic compound insulator is 60nm or more, and the etching rates of the transparence electric conduction film on an organic compound insulator and the transparence electric conduction film on an inorganic insulator layer differ greatly, it is checking that simultaneous etching patterning becomes impossible.

[0044] A liquid crystal display is explained as an example of application of the electrode substrate by this invention as contrasted with the liquid crystal display which applied the electrode substrate of the conventional technique. However, it does not pass over a liquid crystal display to mere instantiation, but if this invention is the electrode substrate in which the transparence electric conduction film was formed on both the organic compound insulator and the inorganic insulator layer, no matter it may be

what gestalt, it is applicable. For example, in an electroluminescent element, in a luminescence field, also when forming the transparence electric conduction film as an anode plate on the substrate which consists of an organic insulator and forming the transparence electric conduction film on an inorganic insulator in another side and a terminal area, this invention can be applied.

[0045] Drawing 10 which shows how to produce the electrode substrate by this invention corresponds to drawing 6 explaining the formation approach of the conventional electrode substrate.

[0046] Specifically in the process (a) of drawing 10, the transparence electric conduction film 155 is formed on the organic compound insulator 49 in a viewing area 150, and the inorganic insulator layer 144 of a boundary region 160. When performing plasma treatment, before forming the transparence electric conduction film 155, suitable plasma treatment for both an organic compound insulator 49, and an organic compound insulator 49 and the inorganic insulator layer 144 is performed, and the diameter of crystal grain of the transparence electric conduction film 155 on an organic compound insulator 49 is set to 20nm or more 50nm or less at least. Plasma treatment is for example, Ar gas 290sccm and a 1.7Pa ambient atmosphere, and is RF. It is carried out for 30 seconds in power 1.0kw.

[0047] In a process (b), photoresist patterning of a pixel electrode and a circumference terminal area is performed. In a circumference terminal area, a resist 169 is formed on the part (namely, part which forms the pixel electrode 103 or a transparent electrode 157) which leaves the transparence electric conduction film 155. a resist 169 — for example, Tokyo — the positive resist of the novolak resin made from adaptation is used.

[0048] In a process (c), wet etching is performed and a pixel electrode and the unnecessary transparence electric conduction film 155 of a circumference terminal area are removed. Wet etching is performed for 180 seconds by using the 2nd 40-degree C ferric chloride as wet etching liquid. As an etching reagent, the mixed liquor of FeCl₃ and HCl of 40 degrees C of solution temperature is used.

[0049] A resist 169 is exfoliated in a process (d). At this time, the transparent electrode 157 which consists of transparence electric conduction film 155 in a circumference terminal area is formed, and the pixel electrode 103 is formed in a viewing area 150.

[0050] That is, this invention can perform simultaneously (Process b) – (d) and (e) – (g) shown in drawing 6. Therefore, a manufacture process is shortened, consequently a manufacturing cost can raise lowering and the production capacity of a manufacture site. Furthermore, in order that a photoresist patterning process may decrease, the yield lowering by the poor pattern can be avoided, and the amount of a resist and the exfoliation liquid used decreases. Furthermore, in order that the count which exposes an organic compound insulator to exfoliation liquid may decrease, swelling of an organic compound insulator can be lessened, consequently the quality dependability of a panel improves.

[0051] Moreover, when the diameter of crystal grain of the transparence electric conduction film is generally 20nm or more 50nm or less, the transparence electric conduction film has suitable electric resistance to function as an electrode. When the diameter of crystal grain of the transparence electric conduction film is smaller than 20nm, the particle size of the transparence electric conduction film is too small, and electric resistance becomes high, consequently it stops however, functioning on reverse effectively as an electrode. Moreover, if resistance of the transparence electric conduction film applies a large electrode substrate to a liquid crystal display in this way, the electric resistance of the pixel electrode of a viewing area and the gate connection terminal area of a boundary region, a common connection terminal area, and a source connection terminal area will increase. In case especially the increment in the electric resistance of the gate connection terminal area of a boundary region, a common connection terminal area, and a source connection terminal area manufactures a high definition and a large-sized liquid crystal display, it is not desirable.

[0052] With reference to process [of drawing 11] (a) – (e), the outline of this invention is explained typically.

[0053] In a process (a), the inorganic insulator layer 1444 is formed on the insulating substrate 1420. As an insulating substrate 1420, the plastic plate other than clear glass can be used. Polyimide,

polyethylene terephthalate, polyacrylate, polyethylene, etc. are used as an ingredient of a plastic plate. As an inorganic insulator layer 1444, SiO₂, SiN_x, or TaO₂ is used, and it forms by the thickness of 500–5000Å, for example.

[0054] An organic compound insulator 1449 is formed in another field on the insulating substrate 1420 in a process (b). As an organic compound insulator 1449, an epoxy resin, acrylic resin, a polycarbonate, etc. are used and it forms by the thickness of 100Å – 1mm, for example.

[0055] When controlling by plasma treatment the diameter of crystal grain of the transference electric conduction film 1455 formed behind, as gas of plasma treatment, Ar, CF₄, or oxygen is used and plasma treatment of the organic-compound-insulator 1449 front face is carried out at least.

[0056] In a process (c), the transference electric conduction film 1455 is formed so that the insulating substrate 1420, the inorganic insulator layer 1444, and an organic compound insulator 1449 may be covered by a spatter etc. ITO may be used as transference electric conduction film 1455. The transference electric conduction film 1455 is formed by 500–3000Å in thickness. When above-mentioned plasma treatment is performed, the diameter of crystal grain of the organic-compound-insulator 1449 transference electric conduction film 1455 at least is 20nm or more 50nm or less.

[0057] In a process (d), after carrying out patterning of the photoresist 1465, wet etching is performed and patterning of the transference electric conduction film 1455 is performed. A photoresist 1465 may use novolak resin and may use the mixed liquor of FeCl₃ and HCl, or HBr as an etching reagent of wet etching.

[0058] In a process (e), the transference electric conduction film 1455 of a desired configuration is formed on the inorganic insulator layer 1444 and an organic compound insulator 1449, and the electrode substrate 1700 is completed. Although it is desirable at this time that it is [of the transference electric conduction film 1455 on the inorganic insulator layer 1444 and the transference electric conduction film 1455 on an organic compound insulator 1449] 2 micrometers or less as for the difference of an etching shift, it is not limited to this.

[0059] The membrane formation approach of the inorganic insulator layer 1444 and an organic compound insulator 1449 is appropriately chosen with an ingredient. As a concrete approach, there are Toppan Printing, screen-stencil, a spin coater, etc. Moreover, heat treatment or UV irradiation may be further performed after membrane formation.

[0060] Thus, the peel test showed that the adhesion of the formed transference electric conduction film 1455 and the inorganic insulator layer 1444 and the adhesion of the transference electric conduction film 1455 and an organic compound insulator 1449 were good.

[0061] Above-mentioned explanation showed the electrode substrate 1700 which forms the inorganic insulator layer 1444 and an organic compound insulator 1449 on the insulating substrate 1420. However, this invention also contains in the range the electrode substrate 1800 which uses a plastic plate as an insulating substrate 1420, forms the inorganic insulator layer 1444 in some of the fields, and forms the transference electric conduction film 1455 in the part on the inorganic insulator layer 1444 and a plastic plate 1420, as it is not limited to this and shown in drawing 18. Such an electrode substrate 1800 incorporates the integrated circuit containing a switching element etc. on the inorganic insulator layer 1444, and that of the transference electric conduction film 1455 is available also not only as the electrode which controls but wiring.

[0062]

[Effect of the Invention] According to this invention, by controlling the diameter of crystal grain of the transference electric conduction film, the etching processing of the transference electric conduction film formed so that the transference electric conduction film and the inorganic insulator layer field which were formed so that an organic-compound-insulator field might be touched might be touched can be carried out simultaneously, and compaction of a process is attained. Thereby, the manufacturing cost of an electrode substrate can be reduced.

[Translation done.]

*** NOTICES ***

JPO and NCIP are not responsible for any damages caused by the use of this translation.

1.This document has been translated by computer. So the translation may not reflect the original precisely.

2.**** shows the word which can not be translated.

3.In the drawings, any words are not translated.

DESCRIPTION OF DRAWINGS

[Brief Description of the Drawings]

[Drawing 1] It is a mimetic diagram about the configuration of a liquid crystal display.

[Drawing 2] It is the plan of an electrode substrate.

[Drawing 3] It is the enlarged drawing of the viewing area of the electrode substrate of drawing 2 .

[Drawing 4] It is the sectional view which met the A-A' line of drawing 3 .

[Drawing 5] It is drawing showing the difference of a design dimension and a finished size.

[Drawing 6] It is drawing explaining the production approach of the conventional electrode substrate.

[Drawing 7] It is the graph which shows the relation between etching time in case the diameter of crystal grain of the transparence electric conduction film on an organic compound insulator is about 40nm, and an etching shift.

[Drawing 8] It is the graph which shows the relation between etching time in case the diameter of crystal grain of the transparence electric conduction film on an organic compound insulator is about 100nm, and an etching shift.

[Drawing 9] It is the graph which shows the relation between the diameter of crystal grain of the transparence electric conduction film on an organic compound insulator, and an etching shift.

[Drawing 10] It is drawing explaining the production approach of the electrode substrate by this invention.

[Drawing 11] It is drawing explaining the outline of electrode substrate production of this invention.

[Drawing 12] It is drawing showing the electrode substrate by another operation gestalt of this invention.

[Translation done.]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2001-345024

(P2001-345024A)

(43) 公開日 平成13年12月14日 (2001. 12. 14)

(51) Int.Cl. ⁷	識別記号	F I	テマコード* (参考)
H 0 1 B 13/00	5 0 3	H 0 1 B 13/00	5 0 3 D
G 0 2 F 1/1343		G 0 2 F 1/1343	
G 0 9 F 9/00	3 3 8	G 0 9 F 9/00	3 3 8
9/30	3 1 0	9/30	3 1 0

審査請求 未請求 請求項の数 6 O L (全 11 頁) 最終頁に続く

(21) 出願番号 特願2001-12526(P2001-12526)

(22) 出願日 平成13年 1 月19日 (2001. 1. 19)

(31) 優先権主張番号 特願2000-99933(P2000-99933)

(32) 優先日 平成12年 3 月31日 (2000. 3. 31)

(33) 優先権主張国 日本 (J P)

(31) 優先権主張番号 特願2000-99934(P2000-99934)

(32) 優先日 平成12年 3 月31日 (2000. 3. 31)

(33) 優先権主張国 日本 (J P)

(31) 優先権主張番号 特願2000-99935(P2000-99935)

(32) 優先日 平成12年 3 月31日 (2000. 3. 31)

(33) 優先権主張国 日本 (J P)

特許法第30条第 1 項適用申請有り 2000年 9 月25日~28

(71) 出願人 000005049

シャープ株式会社

大阪府大阪市阿倍野区長池町22番22号

(72) 発明者 藤川 隆

大阪府大阪市阿倍野区長池町22番22号 シ

ャープ株式会社内

(72) 発明者 小倉 雅史

大阪府大阪市阿倍野区長池町22番22号 シ

ャープ株式会社内

(74) 代理人 100078282

弁理士 山本 秀策

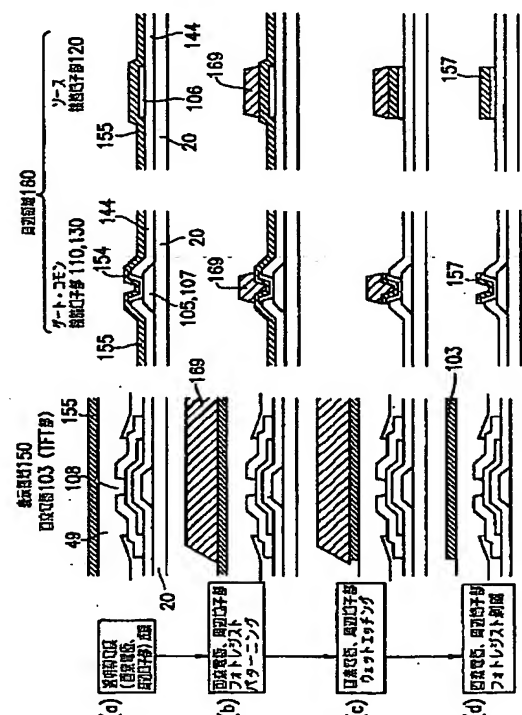
最終頁に続く

(54) 【発明の名称】 電極基板および電極基板の作製方法

(57) 【要約】

【課題】 有機絶縁膜上に形成された透明導電膜と無機絶縁膜上に形成される透明導電膜を同時に精度良くエッチングする。

【解決手段】 本発明の電極基板の作製方法は、同一面側に有機絶縁膜 4 9 からなる有機絶縁膜領域と無機絶縁膜 1 4 4 からなる無機絶縁膜領域とを有する該電極基板において、該有機絶縁膜領域および該無機絶縁膜領域に接して透明導電膜を形成し、該有機絶縁膜領域に接する該透明導電膜の結晶粒径を 2 0 n m 以上 5 0 n m 以下にする工程と、該有機絶縁膜領域および該無機絶縁膜領域に接する該透明導電膜を同時にエッチングする工程と、を包含する。



(2)

【特許請求の範囲】

1
【請求項1】 電極基板の作製方法であって、
同一面側に有機絶縁膜からなる有機絶縁膜領域と無機絶縁膜からなる無機絶縁膜領域とを有する該電極基板において、該有機絶縁膜領域および該無機絶縁膜領域に接して透明導電膜を形成し、該有機絶縁膜領域に接する該透明導電膜の結晶粒径を20 nm以上50 nm以下にする工程と、
該有機絶縁膜領域および該無機絶縁膜領域に接する該透明導電膜を同時にエッチングする工程と、を包含する電極基板の作製方法。

【請求項2】 前記有機絶縁膜領域に接する前記透明導電膜の結晶粒径が20 nm以上40 nm以下である、請求項1に記載の電極基板の作製方法。

【請求項3】 前記有機絶縁膜に接する前記透明導電膜を形成する前に、前記有機絶縁膜にプラズマ処理を行う、請求項1に記載の電極基板の作製方法。

【請求項4】 有機絶縁膜からなる有機絶縁膜領域と、該有機絶縁膜領域と同一面側に設けられる無機絶縁膜からなる無機絶縁膜領域と、
該有機絶縁膜領域と該無機絶縁膜領域にそれぞれ接するように設けられた透明導電膜と、を備える電極基板であって、
該有機絶縁膜領域に接する透明導電膜の結晶粒径の大きさは、該有機絶縁膜領域に接する透明導電膜のエッチングレートと該無機絶縁膜に接する透明導電膜のエッチングレートとがほぼ同程度になるように設定されている、電極基板。

【請求項5】 前記有機絶縁膜領域に接する透明導電膜の結晶粒径は、20 nm以上50 nm以下である、請求項4に記載の電極基板。

【請求項6】 前記有機絶縁膜領域に接する透明導電膜の結晶粒径は、20 nm以上40 nm以下である、請求項5に記載の電極基板。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、電極基板および電極基板の作製方法に関する。さらに詳しくは、無機絶縁膜からなる無機絶縁膜領域および有機絶縁膜からなる有機絶縁膜領域の両方に接する透明導電膜が形成される電極基板および電極基板の作製方法に関する。

【0002】

【従来の技術】ITO（インジウムスズ酸化物）を含む透明導電膜は、光を透過させ、且つ、光を制御する電極として利用可能である。そのような特性を有する透明導電膜を使用した電極基板は、エレクトロルミネセンス表示装置などの表示装置だけでなくタッチパネル、太陽電池などの用途への実用化が進められている。

【0003】有機絶縁膜および無機絶縁膜の両方の上に透明導電膜を形成した電極基板を使用した表示装置とし

2

て液晶表示装置が挙げられる。液晶表示装置は、CRTに替わるフラットパネルディスプレイの一つとして盛んに研究が行われており、とくに消費電力が小さく、薄型であるという特徴を活かして、電池駆動の超小型テレビやノートブック型のパーソナルコンピュータの表示装置としてすでに実用化されている。ここでは、有機絶縁膜および無機絶縁膜の両方の上に透明導電膜を形成した電極基板を使用した表示装置としての具体例として液晶表示装置を説明する。

10 【0004】図1は液晶表示装置100の基本的な構成を模式的に示す。液晶表示装置100は、薄膜トランジスタ（以下TFTと記す）をスイッチング素子に用いたアクティブマトリクス型TFTアレイタイプであり、これは高表示品質が望まれる場合に有利である。

【0005】図1に示されるように液晶表示装置100は、上側基板102と下側基板（電極基板）101との間に液晶層（図示せず）が設けられており、液晶層が上側基板102上の上側電極104と下側基板101上の複数の画素電極103とにより制御されるようになって
20 いる。下側基板101において、複数の画素電極103のそれぞれはスイッチング素子（TFT）108を介してソース配線105に接続され、TFT108のゲートはゲート配線106にそれぞれ接続されている。

【0006】図2は液晶表示装置の下側基板101（電極基板）の上面図を示す。ここで、液晶表示装置として、透過型アクティブマトリクスの液晶表示装置を想定している。ただし、液晶表示装置は、透過型に限定されず、透過／反射両用型液晶表示装置の透過領域も同様に考えることができる。

30 【0007】電極基板101は、絶縁性基板20とその上に形成される構成要素全体を指す。電極基板101は、表示領域150および周辺領域160の2つの領域に分けられる。図2において、表示領域150を斜線で示す。表示領域150では、複数の画素電極103および複数の各画素電極103を制御する複数のTFT108が設けられる。画素電極103は透明導電膜により形成される。電極基板101を透過型液晶表示装置に使用する場合、絶縁性基板20の少なくとも一部を透明材料で形成し、表示側の反対側からの光（一般に光源）を利用して表示を行うために電極を透明導電膜により形成することで、光の透過および制御を行う。

【0008】一方、周辺領域160には、複数のゲート接続端子部110、複数のソース接続端子部120、複数のコモン接続端子部130が設けられる。各ゲート接続端子部110、ソース接続端子部120、コモン接続端子部130にそれぞれ対応するゲート配線105、ソース配線106、コモン配線107が、周辺領域160から表示領域150にわたって形成されている。本明細書において、ゲート接続端子部110、ソース接続端子部120、コモン接続端子部130を総称して、周辺端
50

(3)

3

子部と名付ける。

【0009】図3は、電極基板101の表示領域150を拡大した上面図を示す。図3において、破線で囲まれる領域が1つの画素電極103に相当する。各ゲート配線105と各コモン配線107とはそれぞれ平行に設けられ、各ゲート配線105および各コモン配線107とそれぞれ直交するように複数のソース配線106がそれぞれ設けられている。図3に示されるように、各ゲート配線105と各ソース配線106とのそれぞれの交差部では、各ゲート配線105およびソース配線106は、

スイッチング素子であるTFT108のゲート電極またはソース電極と少なくとも接続するように分岐されている。TFT108のドレイン電極に接続される接続電極48はコモン配線107と一部が重なるように設けられ、さらに、接続電極48とコモン配線107とが重なる領域の一部にコンタクトホール50が設けられる。

【0010】図4は、図3のA-A'線に沿った電極基板101の表示領域150の断面図を示す。図4において、左側(A側)にTFT108、右側(A'側)にコンタクトホール50が示される。ここで、図4のA側を

TFT部、A'側をコンタクトホール部とよぶ。

【0011】TFT部において、絶縁性基板20上にゲート配線105の分岐部分が形成され、ゲート絶縁膜44がそれらを覆うように設けられている。ゲート絶縁膜44としてはシリコンナイトライド(SiN_x)が使用され得る。ゲート絶縁膜44上にアモルファス半導体層45が形成され、アモルファス半導体層45の左側上方にソース電極46a、アモルファス半導体層45の右側上方にドレイン電極46bが形成される。ソース電極46aはソース配線106と接続され、ドレイン電極46bは接続電極48と接続されている。このように形成されたTFT108は透明材料からなる有機絶縁膜49で覆われ、平坦化された有機絶縁膜49は透明導電膜からなる画素電極103で覆われている。

【0012】コンタクト部において、絶縁性基板20上にコモン配線107が形成され、ゲート絶縁膜44がそれらを覆うように設けられている。ゲート絶縁膜44は接続電極48で覆われている。コンタクトホール部において、接続電極48上に有機絶縁膜49が形成され、有機絶縁膜49は画素電極103で覆われている。ただし、接続電極48と画素電極103とが直接的に接続するコンタクトホール50が設けられている。

【0013】電極基板101の表示領域150を上述したように形成することで、主に2つの利点により高開口率が得られる。第1の理由は、表面が平坦化された有機絶縁膜49上に画素電極103が形成されるので、画素電極103の段差部分により生じていた液晶層内の液晶分子(図示せず)の配向乱れによる表示不良(ドメイン現象)を無くすることができ、液晶層内の表示有効面積を増やすことができるためである。第2の理由は、0.3

4

μmから2μmの比較的膜厚の厚い有機絶縁膜49を形成して、その上に画素電極103を形成することによって、有機絶縁膜103の基板側にあるゲート配線105・ソース配線106と上面側(表示側)にある画素電極103との間の電氣的短絡を生じることがないためである。したがって、表示を目視する側から見た場合、ゲート配線105・ソース配線106などの配線にオーバーラップさせるような広い面積で画素電極103を形成することが可能となる。

【0014】一方、周辺端子部では、実装部材との接続不良などを生じるリワーク時の信頼性が欠けるため、一般的に、電極となる無機絶縁膜上に透明導電膜が形成される。透明導電膜の形成は、周辺端子部の電極が酸化し、その結果、電極が高抵抗化することを防ぐ。周辺端子部の電極材料を有機絶縁膜上に形成することも考えられるが、有機絶縁膜の上に透明導電膜を形成することは、信頼性の観点から好ましいものではない。

【0015】透明導電膜の成膜後のエッチングは、一般にウエットエッチングを行う。なぜなら、ドライエッチングを行うと有機絶縁膜が変質し、絶縁性が脆化してしまうからである。また、電極基板を液晶表示装置に適用する場合、ドライエッチングに起因して液晶層が汚染され、表示品位の劣化が引き起こされる可能性がある。したがって、本明細書において、特に言及しない限り「エッチング」はウエットエッチングを意味する。

【0016】

【課題を解決するための手段】上述したように有機絶縁膜および無機絶縁膜の両方の上に形成された透明導電膜をエッチングする場合、同時にエッチングすることができるように考えられるが、実際には両者のエッチングシフトは異なる。本明細書において、エッチングシフトとは、エッチングによって除去される膜の長さを意味する。また、単位時間あたりのエッチングシフトを「エッチングレート」と規定する。有機絶縁膜上の透明導電膜と無機絶縁膜上の透明導電膜とを実質的に同じサイズで設計して、同じようなエッチングを行う場合、エッチングシフトが異なることにより、両者の透明導電膜の大きさにずれが生じる。すなわち、エッチングレートが異なる。したがって、透明導電膜をエッチングした際に、図5に示すように、一方の透明導電膜の設計寸法と仕上寸法との間に差が生じてしまう。したがって、有機絶縁膜上の透明導電膜と無機絶縁膜上の透明導電膜は、同時にエッチングすることができない。

【0017】ここで、図6を参照して、図2に示す液晶表示装置の電極基板の作製方法を説明する。図6は、工程(a)～(g)によりTFT部の画素電極103、ゲート接続端子部110・コモン接続端子部130、ソース接続端子部120(図2参照)を形成する方法を示す。図6では、TFT部の画素電極103の形成工程を示すが、画素電極103の形成工程はTFT部に特に限

(4)

5

定されるものではなく、表示領域150内の画素電極103は同じように形成されると考えられる。

【0018】工程(a)において、透明導電膜155(例えばITO)を、TFT部および周辺領域160(図2参照)の周辺端子部に同時に成膜する。

【0019】TFT部の画素電極103となる透明導電膜155は、平坦に形成された有機絶縁膜49上に形成される。

【0020】ゲート・コモン接続端子部110、130では、絶縁性基板20上にゲート配線105またはコモン配線107を形成し、ゲート配線105またはコモン配線107の上の中央部を除去した状態で、無機絶縁膜144が形成される。ゲート配線105またはコモン配線107の上の中央部は電極154が設けられている。電極154上には、安定した接続抵抗をもつ透明電極157となる透明導電膜155を成膜する。

【0021】ソース接続端子部120では、絶縁性基板20を覆うように無機絶縁膜144を形成し、無機絶縁膜144上にソース配線106を設けて、それらを覆うように、透明電極157となる透明導電膜155を成膜する。

【0022】工程(b)において、周辺端子部のフォトリソパターニングを行う。周辺端子部において、透明導電膜155を残す部分(すなわち、透明電極157を形成する部分)上に第1のレジスト165を形成する。第1のレジスト165は、例えば、東京応化製のノボラック樹脂のポジ型レジストを用いる。工程(b)の際、TFT部の透明導電膜155上全面に第1のレジスト165を形成する。

【0023】工程(c)において、ウェットエッチングを行い、周辺端子部の不必要な透明導電膜155を除去する。

【0024】工程(d)において、第1のレジスト165を剥離する。この時、周辺端子部において透明導電膜155よりなる透明電極157が形成される一方で、TFT部の透明導電膜155は全面に形成されたままである。

【0025】工程(e)において、画素電極103のフォトリソパターニングを行う。透明導電膜155を残す部分(すなわち、画素電極103となる部分)上に第2のレジスト167を形成する。第2のレジスト167は、例えば、東京応化製のノボラック樹脂のポジ型レジストを用いる。工程(e)の際、周辺端子部全面に第2のレジスト167を形成する。

【0026】工程(f)において、ウェットエッチングを行い、TFT部の不必要な透明導電膜155を除去する。

【0027】工程(g)において、第2のレジスト167を剥離することで、画素電極103が形成される。

【0028】このように、電極基板101は形成される

6

が、上述したように、無機絶縁膜144上の透明導電膜155のエッチング(図6の(c))と有機絶縁膜49上の透明導電膜155のエッチング(図6の(f))とは、それぞれエッチングレートが異なるため別々に行う必要がある。

【0029】本発明は、このような現状に鑑みてなされたものであり、その目的は、有機絶縁膜上に形成された透明導電膜と無機絶縁膜上に形成される透明導電膜を同時に精度良くエッチングすることができる、電極基板および電極基板の作製方法を提供することである。

【0030】

【課題を解決するための手段】本発明の電極基板の作製方法は、同一面側に有機絶縁膜からなる有機絶縁膜領域と無機絶縁膜からなる無機絶縁膜領域とを有する該電極基板において、該有機絶縁膜領域および該無機絶縁膜領域に接して透明導電膜を形成し、該有機絶縁膜領域に接する該透明導電膜の結晶粒径を20nm以上50nm以下にする工程と、該有機絶縁膜領域および該無機絶縁膜領域に接する該透明導電膜を同時にエッチングする工程と、を包含する。

【0031】前記有機絶縁膜領域に接する前記透明導電膜の結晶粒径が20nm以上40nm以下であってもよい。

【0032】前記有機絶縁膜に接する前記透明導電膜を形成する前に、前記有機絶縁膜にプラズマ処理を行ってもよい。

【0033】本発明の電極基板は、有機絶縁膜からなる有機絶縁膜領域と、該有機絶縁膜領域と同一面側に設けられる無機絶縁膜からなる無機絶縁膜領域と、該有機絶縁膜領域と該無機絶縁膜領域にそれぞれ接するように設けられた透明導電膜と、を備える電極基板であって、該有機絶縁膜領域に接する透明導電膜の結晶粒径の大きさは、該有機絶縁膜領域に接する透明導電膜のエッチングレートと該無機絶縁膜に接する透明導電膜のエッチングレートとがほぼ同程度になるように設定されている。

【0034】前記有機絶縁膜領域に接する透明導電膜の結晶粒径は、20nm以上50nm以下であってもよい。

【0035】前記有機絶縁膜領域に接する透明導電膜の結晶粒径は、20nm以上40nm以下であってもよい。

【0036】

【発明の実施の形態】本願発明者らは、上記の課題を解決するために、すなわち、無機絶縁膜からなる無機絶縁膜領域に接する透明導電膜と、有機絶縁膜からなる有機絶縁膜領域に接する透明導電膜のエッチングレートを同程度にするために、透明導電膜の結晶粒径の制御を行えばよいことを見出した。

【0037】尚、ここでのいう有機絶縁膜領域とは、透明導電膜に接する層または膜として、例えば、図10に示

(5)

7

される有機絶縁膜49、図11に示される有機絶縁膜1449が形成された領域、または、図12に示されるプラスチック基板1420において、無機絶縁膜が形成されていない領域を示す。また、無機絶縁膜領域とは、透明導電膜に接する層または膜として、図10に示される無機絶縁膜144、図11または図12に示される無機絶縁膜1444が形成された領域を示す。

【0038】図7は、透明導電膜をウェットエッチングする時間(分)とエッチングシフト(μm)との関係を示すグラフである。図7のグラフにおいて、有機絶縁膜上の透明導電膜の結晶粒径が約40nmの場合の結果を●、およびその線形補間を太線で示す。また、無機絶縁膜上の透明導電膜の結果を■、およびその線形補間を細線で示す。ここで、有機絶縁膜としてアクリル樹脂、透明導電膜としてITO、無機絶縁膜としてSiN_xを使用した。図7のグラフに示されるように、エッチング時間が3~5分の場合、有機絶縁膜上の透明導電膜のエッチングシフトは、1.5 μm より小さく、無機絶縁膜上の透明導電膜のエッチングシフトは1.0 μm より小さい。したがって、有機絶縁膜上の透明導電膜のエッチングシフトと無機絶縁膜上の透明導電膜のエッチングシフトとの差が比較的小さいため、所定のエッチング時間で有機絶縁膜上の透明導電膜と無機絶縁膜上の透明導電膜とを同時にエッチングすることが可能である。

【0039】図7のグラフでは、有機絶縁膜上の透明導電膜の結晶粒径は約40nmの場合を示したが、有機絶縁膜上の透明導電膜の結晶粒径が20nm以上50nm以下の範囲であれば、同様に、有機絶縁膜上の透明導電膜と無機絶縁膜上の透明導電膜とのエッチングシフトの差は小さく、両者を同時にエッチングすることができ

る。

【0040】比較のために、有機絶縁膜上の透明導電膜の結晶粒径が約100nmの場合の透明導電膜をウェットエッチングする時間(分)とエッチングシフト(μm)との関係を示すグラフを図8に示す。図8に示されるように、無機絶縁膜上の透明導電膜の結晶は、有機絶縁膜上の透明導電膜のエッチングシフトは、エッチング時間が3分~5分の場合、2.0 μm 以上であり、無機絶縁膜上の透明導電膜のエッチングシフトと比べて大きく、その差も大きい。したがって、両者を同時にエッチングすることは困難である。

【0041】なお、図7および図8に示されるグラフは、有機絶縁膜が形成される有機絶縁膜領域の透明導電膜の結晶粒径を調整するための処理を、無機絶縁膜が形成される無機絶縁膜領域に対しても同様に行った結果を示している。図7および図8のグラフの比較から理解されるように、無機絶縁膜上の透明導電膜のエッチングシフトは、有機絶縁膜上の透明導電膜の結晶粒径を制御するための処理を行ってもほぼ一定である。一般に無機絶縁膜上の透明導電膜の結晶粒径は透明導電膜の成膜条件

8

によってほぼ決定される。

【0042】有機絶縁膜上の透明導電膜の結晶粒径は、例えば、有機絶縁膜上に透明導電膜を成膜する前にプラズマ処理を行うことによって制御され得る。有機絶縁膜上の透明導電膜を成膜する前に酸素プラズマ処理またはCF₄プラズマ処理を長時間行くと、有機絶縁膜表面が荒れるため、その上に形成される透明導電膜の結晶粒径が大きくなる傾向がある。また、透明導電膜の成膜前にArプラズマ処理を行うと有機絶縁膜の表面粗さが緩和されるため、その上に形成される透明導電膜の結晶粒径が小さくなる傾向がある。

【0043】図9は、有機絶縁膜上の透明導電膜のウェットエッチング時間とエッチングシフトとの関係を示すグラフである。有機絶縁膜としてアクリル樹脂、透明導電膜としてITOを使用し、ウェットエッチング時間は3.0分とした。図9に示されるように、有機絶縁膜上の透明導電膜の結晶粒径が20nm以上50nm以下であれば、エッチングシフトは1.0 μm 以下であり、無機絶縁膜上の透明導電膜のエッチングシフト(約0.2 μm 、図7参照)との差が小さいため、所定のエッチング時間で同時エッチングができる。有機絶縁膜上の透明導電膜の結晶粒径が20nm以上40nm以下であれば、さらにエッチングシフトが小さいため、有機絶縁膜上の透明導電膜の制御性は改善される。また、発明者らは、有機絶縁膜上の透明導電膜表面の結晶粒径が60nm以上の場合、図8に示されるようにエッチングシフトは大きく増大し、有機絶縁膜上の透明導電膜と無機絶縁膜上の透明導電膜とのエッチングレートが大きく異なるため、同時エッチングパターニングができなくなることを確認している。

【0044】本発明による電極基板の適用例として液晶表示装置を、従来技術の電極基板を適用した液晶表示装置と対比して説明する。ただし、液晶表示装置は、単なる例示にすぎず、本発明は有機絶縁膜および無機絶縁膜の両方の上に透明導電膜を形成した電極基板であればどのような形態であっても適用できる。例えば、エレクトロルミネッセンス素子において、発光領域内では有機絶縁体からなる基板上に陽極として透明導電膜を形成し、他方、端子領域においては無機絶縁体上に透明導電膜を形成するような場合にも本発明を適用することができる。

【0045】本発明による電極基板を作製する方法を示す図10は、従来の電極基板の形成方法を説明する図6に対応する。

【0046】具体的には、図10の工程(a)において、表示領域150内の有機絶縁膜49上、ならびに周辺領域160の無機絶縁膜144上に透明導電膜155を成膜する。プラズマ処理を行う場合、透明導電膜155を形成する前に、有機絶縁膜49および、有機絶縁膜49と無機絶縁膜144の両方に適切なプラズマ処理を

(6)

9

行い、すくなくとも有機絶縁膜149上の透明導電膜155の結晶粒径を20nm以上50nm以下にする。プラズマ処理は、例えば、Arガス290sccm、1.7Paの雰囲気、RF power 1.0kwにて30秒行われる。

【0047】工程(b)において、画素電極および周辺端子部のフォトレジストパターニングを行う。周辺端子部において、透明導電膜155を残す部分(すなわち、画素電極103または透明電極157を形成する部分)上にレジスト169を形成する。レジスト169は、例

え、東京応化製のノボラック樹脂のポジ型レジストを用いる。

【0048】工程(c)において、ウエットエッチングを行い、画素電極および周辺端子部の不必要な透明導電膜155を除去する。ウエットエッチングは、例えば40℃の第2塩化鉄をウエットエッチング液として、180秒間行う。エッチング液としては、液温40℃のFeCl₃とHClの混合液が使用される。

【0049】工程(d)において、レジスト169を剥離する。この時、周辺端子部において透明導電膜155よりなる透明電極157が形成され、表示領域150内において画素電極103が形成される。

【0050】すなわち、本発明により、図6に示す工程(b)～(d)と(e)～(g)とを同時に行うことができる。したがって、製造プロセスが短縮され、その結果、製造コストを下げ、また、製造現場の生産能力を向上させることができる。さらに、フォトレジストパターニング工程が減少するため、パターン不良による歩留まり低下を回避することができ、また、レジストおよび剥離液の使用量が減少する。さらに、有機絶縁膜を剥離液に晒す回数が減少するため、有機絶縁膜の膨潤を少なくすることができ、その結果、パネルの品質信頼性が向上する。

【0051】また、一般に透明導電膜の結晶粒径が20nm以上50nm以下である場合、透明導電膜は電極として機能するのに好適な電気抵抗を有する。しかし、逆に透明導電膜の結晶粒径が20nmより小さい場合、透明導電膜の粒径が小さすぎて電気抵抗が高くなり、その結果、電極として有効に機能しなくなる。また、このように透明導電膜の抵抗が大きい電極基板を液晶表示装置に適用すると、表示領域の画素電極、および、周辺領域のゲート接続端子部、コモン接続端子部、ソース接続端子部の電気抵抗が増加する。とくに、周辺領域のゲート接続端子部、コモン接続端子部、ソース接続端子部の電気抵抗の増加は、高精細・大型液晶表示装置を製造する際に望ましくない。

【0052】図11の工程(a)～(e)を参照して本発明の概略を模式的に説明する。

【0053】工程(a)において、絶縁性基板1420上に、無機絶縁膜1444を形成する。絶縁性基板14

10

20として、透明ガラスのほかにプラスチック基板を使用できる。プラスチック基板の材料としてポリイミド、ポリエチレンテレフタレート、ポリアクリレート、ポリエチレンなどが使用される。無機絶縁膜1444としては、例えば、SiO₂、SiN_xまたはTaO₂を使用し、500～5000Åの厚さで形成する。

【0054】工程(b)において、絶縁性基板1420上の別の領域に有機絶縁膜1449を形成する。有機絶縁膜1449としては、例えば、エポキシ樹脂、アクリル樹脂、ポリカーボネートなどを使用し、100Å～1mmの厚さで形成する。

【0055】プラズマ処理によって、後に形成される透明導電膜1455の結晶粒径の制御を行う場合、プラズマ処理のガスとして、Ar、CF₄または酸素を使用して、少なくとも有機絶縁膜1449表面をプラズマ処理する。

【0056】工程(c)において、透明導電膜1455をスパッタなどで、絶縁性基板1420、無機絶縁膜1444、有機絶縁膜1449を覆うように成膜する。透明導電膜1455として、ITOを使用してもよい。透明導電膜1455は、厚さ500～3000Åで形成する。上述のプラズマ処理を行った場合、少なくとも有機絶縁膜1449透明導電膜1455の結晶粒径は、20nm以上50nm以下である。

【0057】工程(d)において、フォトレジスト1465をパターニングした後、ウエットエッチングを行い、透明導電膜1455のパターニングを行う。フォトレジスト1465はノボラック樹脂を使用してもよく、ウエットエッチングのエッチング液として、FeCl₃とHClの混合液またはHBrを使用してもよい。

【0058】工程(e)において、無機絶縁膜1444、有機絶縁膜1449上に所望の形状の透明導電膜1455が形成され、電極基板1700が完成する。この時、無機絶縁膜1444上の透明導電膜1455と有機絶縁膜1449上の透明導電膜1455とのエッチングシフトの差は、2μm以下であることが望ましいが、これに限定されない。

【0059】無機絶縁膜1444、有機絶縁膜1449の成膜方法は、材料によって適切に選択される。具体的な方法としては、凸版印刷、スクリーン印刷、スピンコートなどがある。また、成膜後、さらに熱処理または紫外線照射を行ってもよい。

【0060】このように形成された透明導電膜1455と無機絶縁膜1444の密着性ならびに透明導電膜1455と有機絶縁膜1449との密着性は、ピールテストの結果、良好であることがわかった。

【0061】上述の説明では、絶縁性基板1420上に無機絶縁膜1444および有機絶縁膜1449を形成する電極基板1700を示した。しかし、本発明はこれに限定されるものではなく、図18に示すように、絶縁性

(7)

11

基板1420としてプラスチック基板を使用し、その一部の領域に無機絶縁膜1444を形成し、無機絶縁膜1444とプラスチック基板1420上に透明導電膜1455を形成する電極基板1800も範囲に含む。このような電極基板1800は、無機絶縁膜1444上にスイッチング素子等を含む集積回路を組み込み、透明導電膜1455は制御を行う電極だけでなく配線としても利用可能である。

【0062】

【発明の効果】本発明によれば、透明導電膜の結晶粒径の制御を行うことにより、有機絶縁膜領域に接するように形成された透明導電膜と無機絶縁膜領域に接するように形成された透明導電膜を同時にエッチング処理でき、工程の短縮が可能となる。これにより、電極基板の製造コストを低減することが出来る。

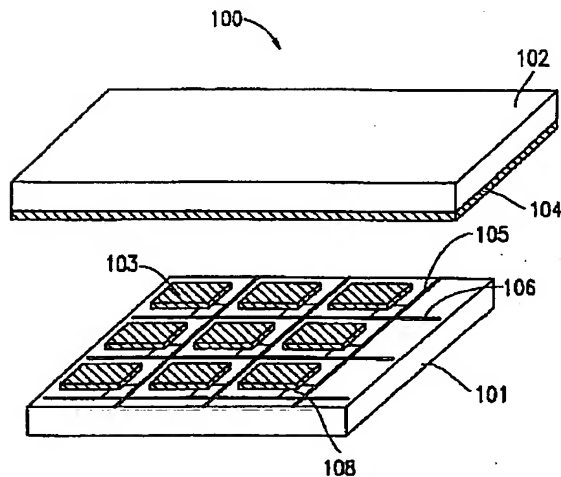
【図面の簡単な説明】

【図1】 液晶表示装置の構成を模式図である。

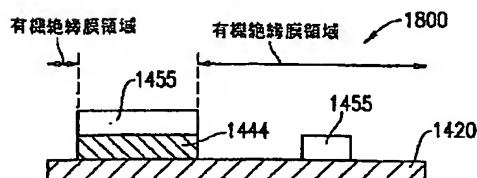
【図2】 電極基板の上面図である。

【図3】 図2の電極基板の表示領域の拡大図である。

【図1】



【図12】



12

【図4】 図3のA-A'線に沿った断面図である。

【図5】 設計寸法と仕上寸法との差をあらわす図である。

【図6】 従来の電極基板の作製方法を説明する図である。

【図7】 有機絶縁膜上の透明導電膜の結晶粒径が約40 nmの場合のエッチング時間とエッチングシフトとの関係を示すグラフである

【図8】 有機絶縁膜上の透明導電膜の結晶粒径が約100 nmの場合のエッチング時間とエッチングシフトとの関係を示すグラフである。

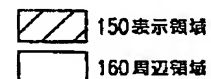
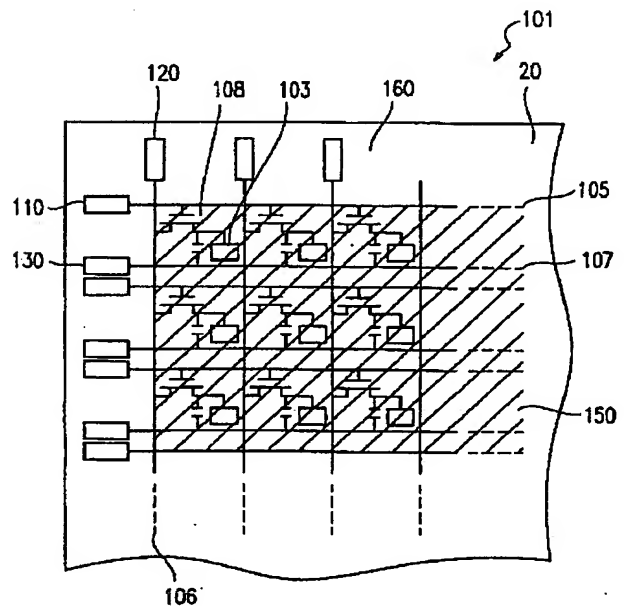
【図9】 有機絶縁膜上の透明導電膜の結晶粒径とエッチングシフトとの関係を示すグラフである。

【図10】 本発明による電極基板の作製方法を説明する図である。

【図11】 本発明の電極基板作製の概略を説明する図である。

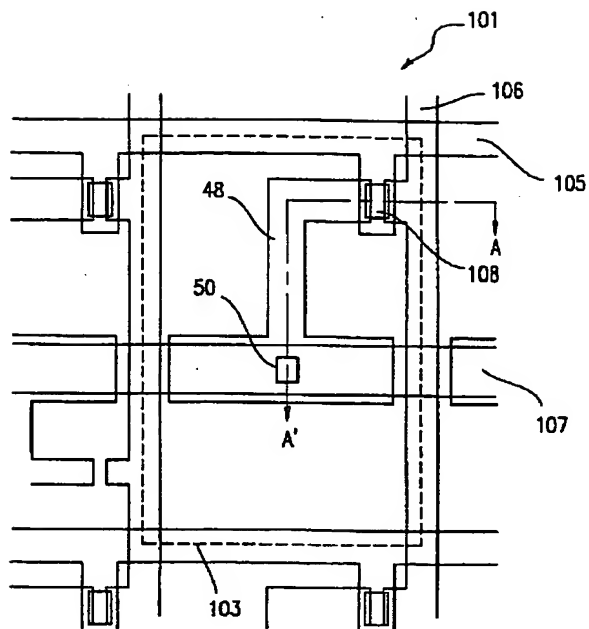
【図12】 本発明の別の実施形態による電極基板を示す図である。

【図2】

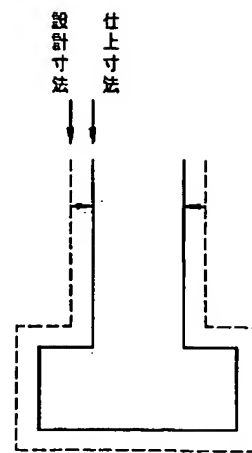


(8)

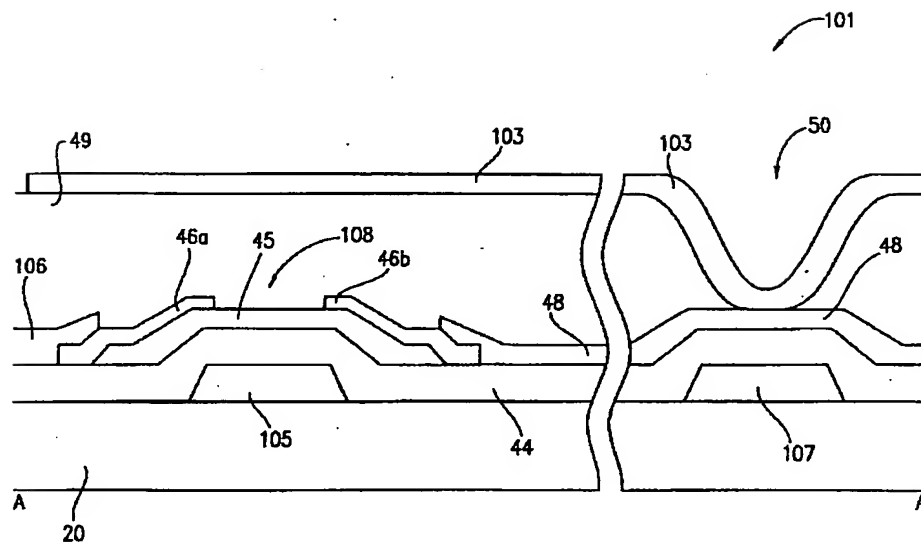
【図 3】



【図 5】

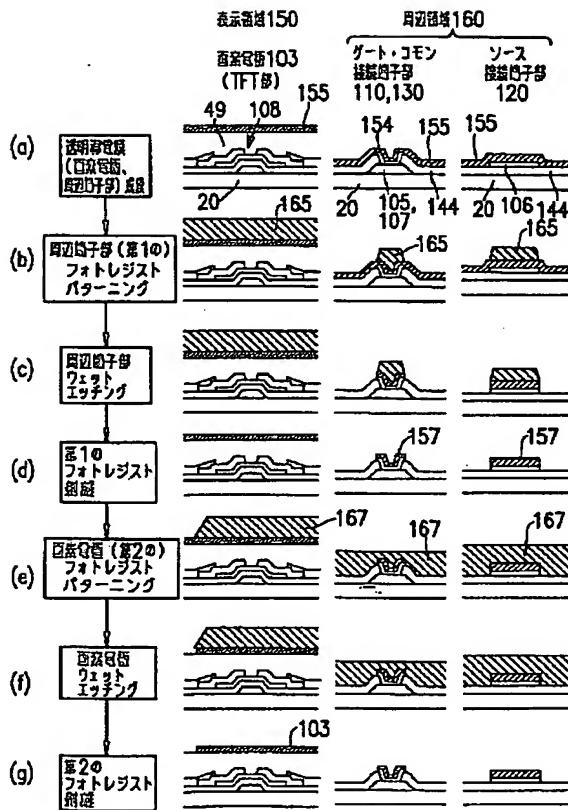


【図 4】

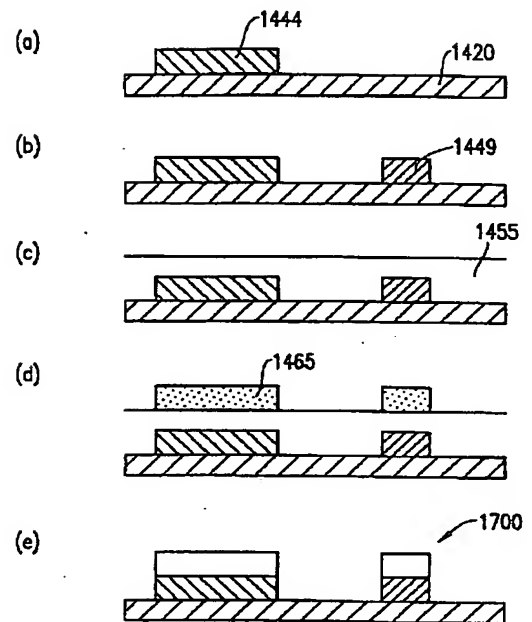


(9)

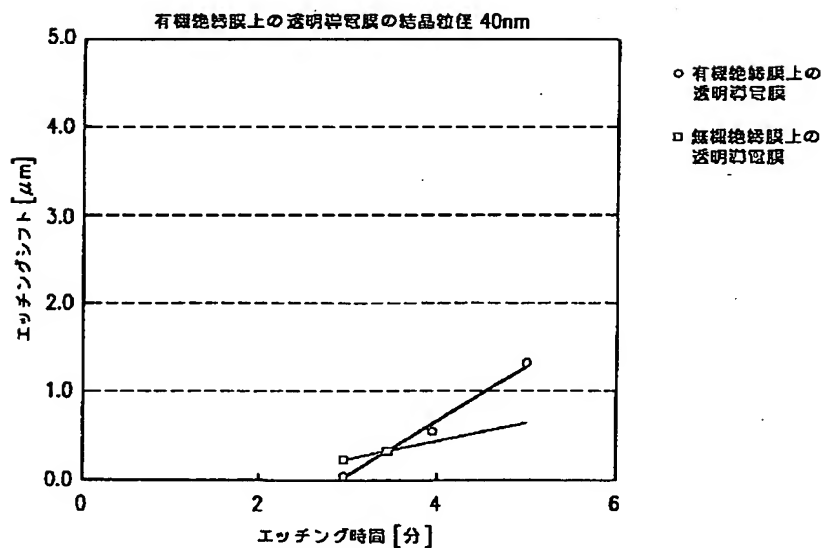
【図6】



【図11】

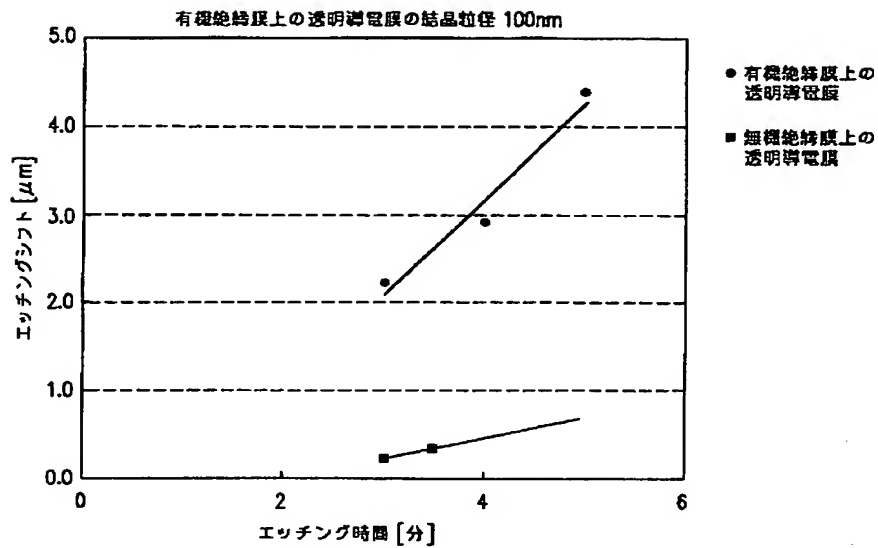


【図7】

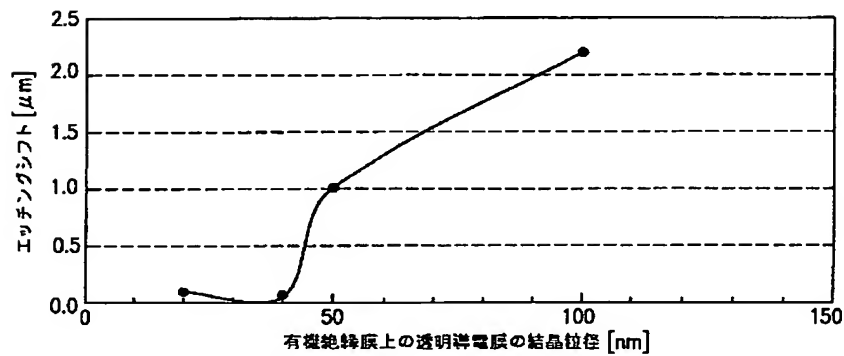


(10)

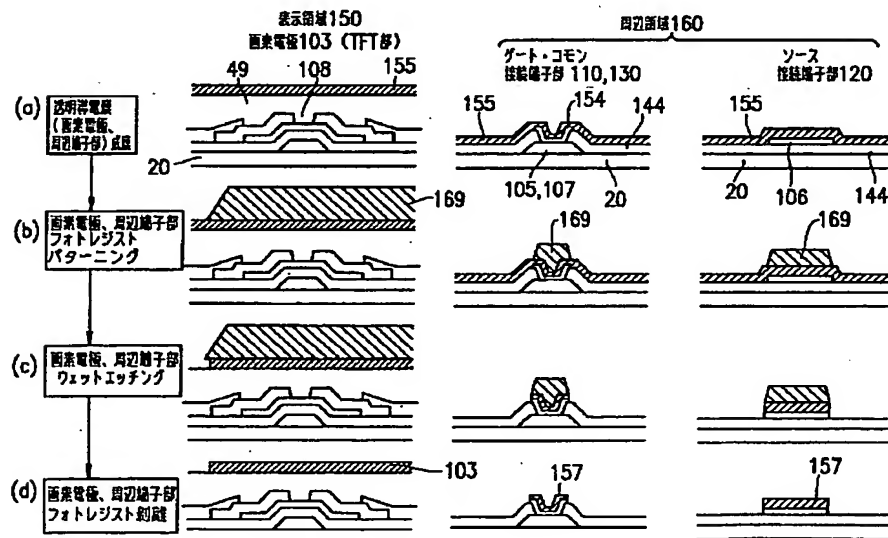
【図8】



【図9】



【図10】



(11)

フロントページの続き

(51) Int. Cl. 7

識別記号

F I

テ-マコ-ト (参考)

特許法第30条第1項適用申請有り 2000年9月25日～28
日 Society for Information
Display主催の「20TH INTERNATI
ONAL DISPLAY RESEARCH CON
FERENCE」において文書をもって発表

(72) 発明者 片岡 義晴
大阪府大阪市阿倍野区長池町22番22号 シ
ャープ株式会社内